

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年11月 9日

出願番号

Application Number:

平成10年特許願第318197号

出願人

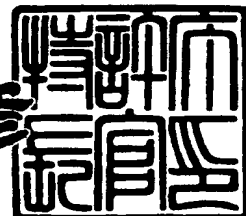
Applicant (s):

株式会社半導体エネルギー研究所

2000年 1月28日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3002423

【書類名】 特許願

【整理番号】 P004020-01

【提出日】 平成10年11月 9日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその作製方法

【請求項の数】 27

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 安達 広樹

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、

前記ゲート電極は、

前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して形成された第 2 のゲート電極と、を有し、

前記半導体層は、チャネル領域と、チャネル領域に接して形成された第 1 の不純物領域と、該第 1 の不純物領域に接して形成された第 2 の不純物領域と、を有し、

前記第 1 の不純物領域は、前記ゲート絶縁膜を介して、前記第 2 のゲート電極が前記ゲート絶縁膜に接している領域と重なって設けられていることを特徴とする半導体装置。

【請求項 2】

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、

前記ゲート電極は、

前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して形成された第 2 のゲート電極と、を有し、

前記半導体層は、チャネル領域と、チャネル領域に接して形成された第 1 の不純物領域と、該第 1 の不純物領域に接して形成された第 2 の不純物領域と、を有し、

前記第 1 の不純物領域と、第 2 の不純物領域と、はそれぞれ異なる濃度で同一の不純物を含み、

前記第 1 の不純物領域は、前記ゲート絶縁膜を介して、前記第 2 のゲート電

極が前記ゲート絶縁膜に接している領域と重なって設けられていること
を特徴とする半導体装置。

【請求項 3】

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、

前記ゲート電極は、

前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して形成された第 2 のゲート電極と、を有し、

前記半導体層は、前記第 1 の配線層をマスクとして、イオンドープ法で不純物元素が添加された第 1 の不純物領域と、

前記第 1 の配線層と前記第 2 の配線層とをマスクとして、イオンドープ法で不純物元素が添加された第 2 の不純物領域と、を有していること

を特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、

第 1 の不純物領域の不純物元素の濃度が、第 2 の不純物領域の不純物元素の濃度よりも低いこと

を特徴とする半導体装置。

【請求項 5】

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、

前記ゲート電極は、

前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して形成された第 2 のゲート電極と、を有し、

前記半導体層は、前記第 1 のゲート電極をマスクとして、低濃度の不純物元素が添加された LDD 領域が形成され、

前記第 2 のゲート電極をマスクとして、高濃度の不純物元素が添加されたソ

ース領域とドレイン領域とが形成されていること

を特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記半導体装置は、n チャネル型薄膜トランジスタと、p チャネル型薄膜トランジスタと、でなる CMOS 回路を含み、

前記 n チャネル型薄膜トランジスタの第 1 の不純物領域の不純物濃度が、第 2 の不純物領域の不純物濃度よりも低い濃度で n 型を付与する不純物元素を含み、

前記 p チャネル型薄膜トランジスタの第 1 の不純物領域と、第 2 の不純物領域と、はそれぞれ同じ濃度で p 型を付与する不純物元素を含むことを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記第 2 の不純物領域に接して設けられ、前記第 1 の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、から電荷蓄積容量部が形成されていること

を特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、

前記第 1 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料で成ること

を特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか 1 項において、

前記第 1 のゲート電極は、前記ゲート絶縁膜に接して形成される第 1 の導電層と、

前記第 1 の導電層の上に形成される、一つまたは複数の導電層から成ること

を特徴とする半導体装置。

【請求項 10】

請求項 9 において、

前記第 1 の導電性膜は、前記ゲート絶縁膜に接して形成される第 1 の導電層が、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から成り、

前記第 1 の導電層の上に形成される一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または、該元素を主成分とする合金材料で成ること
を特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 7 のいずれか 1 項において、

前記第 2 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から成ること、
を特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 7 のいずれか 1 項において、

第 1 の不純物領域に含まれる不純物元素の濃度が、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atms/cm³であること
を特徴とする半導体装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか 1 項において、前記半導体装置は、透過型または反射型の液晶表示装置であること
を特徴とする半導体装置。

【請求項 14】

請求項 1 乃至請求項 12 のいずれか 1 項において、前記半導体装置は、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、または、

携帯型情報端末であること
を特徴とする半導体装置。

【請求項 15】

絶縁表面を有する基板上に、半導体層を形成する第1の工程と、
前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、
前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、
前記第1のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、
前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜に接して、第2のゲート電極を形成する第5工程と、
前記第2のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して、第2の不純物領域を形成する第6の工程と、
を有することを特長とする半導体装置の作製方法。

【請求項 16】

絶縁表面を有する基板上に、半導体層を形成する第1の工程と、
前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、
前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、
前記第1のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、
前記第1の不純物領域に添加された周期律表15族に属する元素を活性化させる第5の工程と、
前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜に密して、第2のゲート電極を形成する第6工程と、
前記ゲート絶縁膜の前記第1及び第2のゲート電極が接していない領域を除去して、前記半導体層の一部を露呈させる第7の工程と、
前記第2のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して、第2の不純物領域を形成する第8の工程と、
を有することを特長とする半導体装置の作製方法。

【請求項 17】

絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接して、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、

前記第1のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1のゲート電極をマスクとして、前記第2の半導体層のみに周期律表13族に属する元素を添加して他の不純物領域を形成する第5の工程と、

前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜とに接して、第2のゲート電極を形成する第6工程と、

前記第2のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第7の工程と、

を有することを特長とする半導体装置の作製方法。

【請求項18】

絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接して、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、

前記第1のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1の不純物領域に添加された周期律表15族の元素を活性化させる第5の工程と、

前記第1のゲート電極をマスクとして、前記第2の半導体層のみに周期律表13族に属する元素を添加して他の不純物領域を形成する第6の工程と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜に密接して、第 2 のゲート電極を形成する第 7 の工程と、

前記ゲート絶縁膜の前記第 1 及び第 2 のゲート電極が接していない領域を除去して、前記第 1 の半導体層と前記第 2 の半導体層の一部を露呈させる第 8 の工程と、

前記第 2 のゲート電極をマスクとして、少なくとも前記第 1 の半導体層に周期律表 15 族に属する元素を添加して第 2 の不純物領域を形成する第 9 の工程と、

を有することを特長とする半導体装置の作製方法。

【請求項 19】

請求項 15 乃至請求項 18 において、
前記第 2 の不純物領域に接して、

前記半導体層に、前記第 1 のゲート電極をマスクとして、前記第 1 の不純物領域と同じ濃度で周期律表 15 族に属する元素を添加する工程と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して、第 2 のゲート電極を形成する工程と、から、電荷蓄積容量部を形成すること

を有することを特長とする半導体装置の作製方法。

【請求項 20】

請求項 15 乃至請求項 19 において、

前記第 1 の不純物領域の濃度が、前記第 2 の不純物領域の濃度よりも低いこと

を特長とする半導体装置の作製方法。

【請求項 21】

請求項 15 乃至請求項 19 において、

前記第 1 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から成ること

を特徴とする半導体装置の作製方法。

【請求項 22】

請求項 15 乃至請求項 19 において、

前記第 1 のゲート電極は、前記ゲート絶縁膜に接して形成される第 1 の導電性膜と、前記第 1 の導電性膜の上に形成される一つまたは複数の導電性層と、を有すること
を特徴とする半導体装置の作製方法。

【請求項 23】

請求項 22 において、

前記第 1 の導電性膜は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から成り、

前記第 1 の導電性膜の上に形成される一つまたは複数の導電性層のうち、少なくとも一つの導電層は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または、該元素を主成分とする合金材料で成ること
を特徴とする半導体装置作製方法。

【請求項 24】

請求項 15 乃至請求項 19 のいずれか 1 項において、

前記第 2 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から成ること、
を特徴とする半導体装置の作製方法。

【請求項 25】

請求項 15 乃至請求項 19 のいずれか 1 項において、

前記第 1 の不純物領域に含まれる不純物元素の濃度が、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であること

を特徴とする半導体装置の作製方法。

【請求項 26】

請求項 15 乃至請求項 19 のいずれか 1 項において、前記半導体装置が、透過型または反射型の液晶表示装置であること

を特徴とする半導体装置の作製方法。

【請求項 27】

請求項 15 乃至請求項 19 のいずれか 1 項において、前記半導体装置が、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、または、携帯型情報端末であること
を特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタで構成された回路を有する半導体装置に関する。例えば、液晶表示装置に代表される電気光学装置およびその電気光学装置を搭載した電子機器の構成に関する。なお、本明細書において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器を含むものである。

【0002】

【従来の技術】

薄膜トランジスタ（以下、TFTと呼ぶ）は透明なガラス基板に形成することができるので、アクティブマトリクス型液晶表示装置への応用開発が積極的に進められてきた。結晶性半導体膜を利用したTFT（結晶性TFT）は高移動度を得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0003】

アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個の結晶性TFTが必要になってくる。さらに機能回路を付加すると、それ以上の数の結晶性TFTが必要になり、液晶表示装置を安定に動作させるためには、個々の結晶性TFTの信頼性を確保して安定に動作させる必要があった。

【0004】

ところが、結晶性TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSトランジスタと同等ではないとされている。結晶性TFTはオフ電流（リーク電流）が大きくなり易く、長期にわたって動作させると、移動度やオン電流が低下するといった現象がしばしば観測された。このような現象がおこる原因の一つとして、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化が考えられた。

【0005】

一方、MOSトランジスタでは、信頼性を向上させる技術として、LDD（Lightly Doped Drain）構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。従来技術のでは、ゲート電極をマスクとして、第1の不純物添加の工程によりLDD領域となる低濃度不純物領域を形成しておき、その後異方性エッチングの技術を利用してゲート電極の両側にサイドウォールを形成し、ゲート電極とサイドウォールをマスクとして第2の不純物添加の工程によりソース・ドレイン領域となる高濃度不純物領域を形成するものである。

【0006】

さらにMOSトランジスタでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD（Gate-drain Overlapped LDD）や、LATID（Large-tilt-angle implanted drain）として知られている。このような構造とすることで、LDD領域の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性を高めることができた。

【0007】

【発明が解決しようとする課題】

MOSトランジスタの技術分野であるように、結晶性TFTで高い信頼性を達成するためには素子の構造面からの検討が必要であった。しかし、前述にある従来の方法では、自己整合的にLDD領域を形成することができるが、サイ

ドウオール用の膜を異方性エッチングする工程は、ゲート絶縁膜を選択性良く残すことが困難であり、特性バラツキの原因となった。

【0008】

本発明はこのような問題点を克服するための技術を提供するものであり、ゲート電極とLDD領域とをオーバーラップさせた新たな構造の結晶性TFETを提供することを目的とする。その目的を達成するために、従来技術よりも簡便な方法で、ゲート電極とLDD領域とをオーバーラップさせた構造の結晶性TFETを作製する技術を提供することを目的としている。そして、高い信頼性が得られる結晶性TFETで回路を形成した信頼性の高い半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本願明細書で開示する発明の構成は、

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成された第1のゲート電極と、前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜とに接して形成された第2のゲート電極とを有したものであって、前記半導体層は、チャネル領域と、チャネル領域に接して形成された第1の不純物領域と、該第1の不純物領域に接して形成された第2の不純物領域とを有し、前記第1の不純物領域は、前記ゲート絶縁膜を介して、前記第2のゲート電極が前記ゲート絶縁膜に接している領域と重なって設けられていることを特徴としている。

【0010】

また、他の発明の構成は、

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成された第1のゲート電極と、前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜とに接して形成された第2のゲート電極とを有していて、前記半導体層は、チャネル領域と、チャネル領域に接して形成された第1の不純物領域と、

該第 1 の不純物領域に接して形成された第 2 の不純物領域とを有し、前記第 1 の不純物領域と、第 2 の不純物領域と、はそれぞれ異なる濃度で同一の不純物を含んでいて、前記第 1 の不純物領域は、前記ゲート絶縁膜を介して、前記第 2 のゲート電極が前記ゲート絶縁膜に接している領域と重なって設けられていることを特徴としている。

【0011】

また、他の発明の構成は、

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して形成された第 2 のゲート電極とを有し、前記半導体層は、前記第 1 の配線層をマスクとして、イオンドープ法で不純物元素が添加された第 1 の不純物領域と、前記第 1 の配線層と前記第 2 の配線層とをマスクとして、イオンドープ法で不純物元素が添加された第 2 の不純物領域とを有していることを特徴としている。

【0012】

上記発明の構成において、LDD 領域となる第 1 の不純物領域の濃度が、ソース・ドレイン領域を形成する第 2 の不純物領域の濃度よりも低く形成されていることが望ましい。。

【0013】

また、他の発明の構成は、

ゲート絶縁膜を介して半導体層と交差するゲート電極を有する半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成された第 1 のゲート電極と、前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して形成された第 2 のゲート電極とを有し、前記半導体層は、前記第 1 のゲート電極をマスクとして、低濃度の不純物元素が添加された LDD 領域が形成され、前記第 2 のゲート電極をマスクとして、高濃度の不純物元素が添加されたソース領域とドレイン領域とが形成されていることを特徴としている。

【0014】

尚、本願発明はCMOS回路を含む半導体装置に適用することが可能であり、その時の発明の構成は、nチャネル型薄膜トランジスタの第1の不純物領域の不純物濃度が、第2の不純物領域の不純物濃度よりも低い濃度でn型を付与する不純物元素を含み、前記pチャネル型薄膜トランジスタの第1の不純物領域と、第2の不純物領域と、はそれぞれ同じ濃度でp型を付与する不純物元素を含むことを特徴としている。

【0015】

また、本願発明の構成は、

前記第2の不純物領域に接して設けられ、前記第1の不純物領域と同じ濃度で不純物元素を含む半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、から電荷蓄積容量部が形成されている構造を有していても良い。

【0016】

本願発明の構成において、前記第1のゲート電極は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または、該元素を主成分とする合金材料で形成されていれば良い。

【0017】

また、前記第1のゲート電極の他の構成として、前記ゲート絶縁膜に接して形成される第1の導電性膜と、該第1の導電性膜に接して形成される第2の導電性膜とを有した構造であることを特長とする。この時、前記第1の導電性膜は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または、該元素を主成分とする合金材料から成り、前記第2の導電性膜は、アルミニウム(Al)、銅(Cu)、から選ばれた一種または、該元素を主成分とする合金材料で形成されていることが望ましい。

【0018】

一方、前記第2のゲート電極は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成されていることが望ましい。

【0019】

さらに、本願発明の構成は、
絶縁表面を有する基板上に、半導体層を形成する第1の工程と、
前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、
前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、
前記第1のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、
前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜に接して、第2のゲート電極を形成する第5工程と、
前記第2のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して、第2の不純物領域を形成する第6の工程と、
を有することを特長としている。

【0020】

また、他の発明の構成は、
絶縁表面を有する基板上に、半導体層を形成する第1の工程と、
前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、
前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、
前記第1のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、
前記第1及び第2の不純物領域に添加された周期律表15族に属する元素を活性化させる第5の工程と、
前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜に密して、第2のゲート電極を形成する第6工程と、
前記ゲート絶縁膜の前記第1及び第2のゲート電極が接していない領域の一部を除去して、前記半導体層の一部を露呈させる第7の工程と、
前記第2のゲート電極をマスクとして、前記半導体層に周期律表15族に属する元素を添加して、第2の不純物領域を形成する第8の工程と、
を有することを特長としている。

【0021】

また、他の発明の構成は、

絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接して、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、

前記第1のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1のゲート電極をマスクとして、前記第2の半導体層のみに周期律表13族に属する元素を添加して他の不純物領域を形成する第5の工程と、

前記第1のゲート電極を覆って、該第1のゲート電極と前記ゲート絶縁膜とに接して、第2のゲート電極を形成する第6工程と、

前記第2のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第2の不純物領域を形成する第7の工程と、

を有することを特長としている。

【0022】

また、他の発明の構成は、

絶縁表面を有する基板上に第1の半導体層と第2の半導体層とを形成する第1の工程と、

前記第1の半導体層と第2の半導体層とに接して、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜に接して、第1のゲート電極を形成する第3の工程と、

前記第1のゲート電極をマスクとして、少なくとも前記第1の半導体層に周期律表15族に属する元素を添加して第1の不純物領域を形成する第4の工程と、

前記第1の不純物領域に添加された周期律表15族及び13族に属する元素を活性化させる第5の工程と、

前記第 1 のゲート電極をマスクとして、前記第 2 の半導体層のみに周期律表 13 族に属する元素を添加して他の不純物領域を形成する第 6 の工程と、

前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜に密接して、第 2 のゲート電極を形成する第 7 の工程と、

前記ゲート絶縁膜の前記第 1 及び第 2 のゲート電極が接していない領域の一部を除去して、前記第 1 の半導体層と前記第 2 の半導体層の一部を露呈させる第 8 の工程と、

前記第 2 のゲート電極をマスクとして、少なくとも前記第 1 の半導体層に周期律表 15 族に属する元素を添加して第 2 の不純物領域を形成する第 9 の工程と、

を有することを特長としている。

【0023】

また、本願発明の構成は、

前記第 2 の不純物領域に接して、前記半導体層に、前記第 1 のゲート電極をマスクとして、前記第 1 の不純物領域と同じ濃度で周期律表 15 族に属する元素を添加する工程と、前記第 1 のゲート電極を覆って、該第 1 のゲート電極と前記ゲート絶縁膜とに接して、第 2 のゲート電極を形成する工程と、から、電荷蓄積容量部を形成する工程を有していても良い。

【0024】

本願発明の構成において、

前記第 1 のゲート電極は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、から選ばれた一種または、該元素を主成分とする合金材料から形成する工程であることが望ましい。

【0025】

また、前記第 1 のゲート電極は、前記ゲート絶縁膜に接して形成される第 1 の導電性膜と、該第 1 の導電性膜上に一つまたは複数の導電層を形成する工程を有していても良い。

【0026】

また、前記第 1 の導電性膜は、チタン (Ti)、タンタル (Ta)、タング

ステン（W）、モリブデン（Mo）、から選ばれた一種または、該元素を主成分とする合金材料から形成され、

該第1の導電性膜上に一つまたは複数の導電層のうち、少なくとも一つの導電層は、アルミニウム（Al）、銅（Cu）、から選ばれた一種または、該元素を主成分とする合金材料で形成される工程をゆうしていても良い。

【0027】

また、前記第2のゲート電極は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、から選ばれた一種または、該元素を主成分とする合金材料から形成する工程であることが望ましい。

【0028】

【発明の実施の形態】

本発明の実施の形態について図1を用いて説明する。101は絶縁表面を有する基板である。例えば、酸化珪素膜を設けた、ガラス基板、ステンレス基板、プラスチック基板、セラミックス基板、シリコン基板を用いることができる。またその他に石英基板を用いても良い。

【0029】

前記基板上に形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化された、結晶性半導体で形成することが望ましい。前記成膜法で形成される微結晶半導体を用いることも可能である。ここで適用できる半導体材料は、珪素、ゲルマニウム、また珪素とゲルマニウム合金、炭化珪素であり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0030】

図1では前記基板上に形成された、nチャネル型及びpチャネル型TFETの断面構造を示している。nチャネル型TFET及びpチャネル型TFETのゲート電極は、第1のゲート電極と第2のゲート電極とから成りっている。第1のゲート電極はゲート絶縁膜112に接して設けられた第1の導電層113、116と、前記第1の導電層113、116に接して設けられた第2の導電層1

14、117とから成っている。そして、第2のゲート電極115、118は、第1のゲート電極の第1の導電層113、116と第2の導電層114、117を覆って、さらにゲート絶縁膜112に接して設けられている。

【0031】

第1のゲート電極を構成する第1の導電層113、116は、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、タングステン(W)など元素か、これらの元素を主成分とする合金材料で形成されている。また、第2の導電層114、117は抵抗率の低い、アルミニウム(Al)や銅(Cu)を用いれば良い。ここで第2の導電層は、液晶表示装置のような大面積の基板に本願発明のTFTを形成することを考慮して、ゲート電極の抵抗を低くする目的で設けられるものである。従って、用途によっては、第1のゲート電極を前記第1の導電層のみで形成しても良い。また、第2の導電層の上にさらに他の導電層を積層しても良い。

【0032】

第2のゲート電極115、118は、前記第1のゲート電極と電氣的に導通している。そして、第1のゲート電極に完全にオーバーラップしていて、さらにゲート絶縁膜112に延在している。図11に示すように第1のゲート電極と第2のゲート電極の長さをそれぞれL1、L2とすると、 $L1 < L2$ の関係が保たれていれば良く、本願発明を実施するに当たっては適宜設定すれば良い。しかし、次に述べるように、第1のゲート電極と第2のゲート電極は、半導体層に不純物を添加してソース・ドレイン領域やLDD領域を形成するためのマスクとして機能するので、その点を考慮してL1、L2の値を決める必要がある。

【0033】

nチャネル型TFTの半導体層は、チャネル領域102と、前記チャネル領域の両側に接して設けられた第1の不純物領域103、104と、前記第1の不純物領域103に接して設けられたソース領域105と、前記第1の不純物領域104に接して設けられたドレイン領域106とから成っている。第1の不純物領域103、104は、ゲート絶縁膜112を介して、第2のゲート1

15 がゲート絶縁膜と接している領域に重なって設けられている。

【0034】

第1の不純物領域103、104は、 $0.1 \sim 2 \mu\text{m}$ 、代表的には $1.5 \mu\text{m}$ の長さを有し、n型を付与する不純物元素の濃度が $1 \times 10^{16} \sim 1 \times 10^{19} \text{atms/cm}^3$ 、代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atms/cm}^3$ である。また、ソース領域105とドレイン領域106の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atms/cm}^3$ 、代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atms/cm}^3$ とすれば良い。

【0035】

この時、チャネル形成領域102には、あらかじめ $1 \times 10^{16} \sim 5 \times 10^{18} \text{atms/cm}^3$ の濃度でボロンが添加されても良い。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0036】

一方、pチャネル型TFTの第1の不純物領域108、109と、ソース領域110と、ドレイン領域111とには、同じ濃度でp型を付与する不純物元素が添加されている。そして、前記nチャネル型TFTのソース領域105とドレイン領域106に添加される不純物濃度の $1.5 \sim 3$ 倍の濃度でp型を付与する不純物元素が添加されている。

【0037】

以上示したように本願発明はTFTの構造において、ゲート電極を第1のゲート電極と、その第1のゲート電極を覆って第2のゲート電極を設けたものであり、図1で示すように第2のゲート電極は、第1のゲート電極とゲート絶縁膜とに接して設けられている。そして、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域と、第2のゲート電極がゲート絶縁膜に接している領域とが、重なって設けられている構造に特長があり、また、その作製方法に特長がある。

【0038】

図1に示すTFTは、特にnチャネル型TFTにおいて、いわゆるLDD領域として機能する第1の低濃度不純物領域103、104が、ゲート絶縁膜を

介してゲート電極と重なって設けられた構造となっているので、MOSトランジスタのGOLD構造やLATID構造の如き利点を得ることが可能である。

【0039】

一方、pチャネル型TFTはこうしたLDD構造となる低濃度不純物領域は設けないものとする。勿論、低濃度不純物領域を設ける構造としても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本願発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0040】

こうしてnチャネル型TFT及びpチャネル型TFTが完成したら、第1の層間絶縁膜119で覆い、ソース領域105、111、ドレイン領域106、110とコンタクトをとったソース電極120、122、とドレイン電極121とを設ける。図1の構造では、これらを設けた後でパッシベーション膜123として窒化珪素膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、樹脂材料に限定される必要はないが、例えば、液晶表示装置に応用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0041】

図1では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせで成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0042】

以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0043】

[実施例1]

本実施例では、本願発明の構成を液晶表示装置に適用した例を示し、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について、図2と図3を用いて説明する。

【0044】

まず基板201には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板201のTFTが形成される表面に、酸化珪素で成る下地膜202を200nmの厚さに形成した。下地膜202は、さらに窒化珪素膜を積層させても良いし、窒化珪素膜のみであっても良い。

【0045】

次に、この下地膜202の上に50nmの厚さで、非晶質珪素膜をプラズマCVD法で形成した。非晶質珪素膜の含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、非晶質珪素膜の含有水素量を5atm%以下として、結晶化の工程を行って結晶性珪素膜とした。

【0046】

この結晶化の工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射して、結晶性珪素膜とした。

【0047】

ここで用いたレーザー結晶化装置の構成を図12に示す。レーザー発振装置1201から照射され、光学系1203により光路が変更されたパルス状レーザービームを、ミラー1207で反射させ、シンドリカルレンズを用いた光学系1208にて集光させて、基板1209に照射する機能を有している。レーザー発振装置1201はXeClエキシマレーザーやKrFエキシマレーザーを用いれば良い。

【0048】

尚、本実施例では初期膜を非晶質珪素膜として用いたが、初期膜として微結晶珪素膜を用いても構わないし、直接結晶性珪素膜を成膜しても良い。

【0049】

こうして形成された結晶性珪素膜をパターニングして、島状の半導体層203、204、205を形成した。

【0050】

次に、半導体層203、204、205を覆って、酸化珪素または窒化珪素を主成分とするゲート絶縁膜206を形成した。ここではプラズマCVD法で窒化酸化珪素膜を100nmの厚さに形成した。そして、図では説明しないが、ゲート絶縁膜206の表面に第1のゲート電極を構成する、第1の導電膜としてタンタル(Ta)を10~200nm、例えば50nmさらに第2の導電膜としてアルミニウム(Al)を100~1000nm、例えば200nmの厚さでスパッタ法で形成した。そして、公知のパターニング技術により、第1のゲート電極を構成する第1の導電膜207、208、209、210と、第2の導電膜の212、213、214、215が形成された。このとき、図11で示した第1のゲート電極の長さL1は2 μ mとなるようにパターニングした。

【0051】

第1のゲート電極を構成する第2の導電膜として、アルミニウムを用いる場合には、純アルミニウムを用いても良いし、チタン、珪素、スカンジウムから選ばれた元素が0.1~5atm%添加されたアルミニウム合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜206の表面に窒化珪素膜を設けておくと好ましい。

【0052】

また、図2では画素マトリクス回路を構成するnチャネル型TFTのドレイン側に付加容量部を設ける構造となっている。このとき、第1のゲート電極と同じ材料で付加容量部の配線電極211、216が形成される。

【0053】

こうして図2(A)に示す構造が形成されたら、1回目のn型不純物を添加する工程を行った。結晶性半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で

行った。この工程では、ゲート絶縁膜206を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。また、こうして形成された不純物領域は、後に示すnチャネル型TF Tの第1の不純物領域234、242を形成するもので、LDD領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{atms/cm}^3$ とした。

【0054】

半導体層中に添加された前記不純物元素は、レーザーアニール法や、熱処理により活性化させる必要があった。この工程は、ソース・ドレイン領域を形成する不純物添加の工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは効果的であった。

【0055】

この工程で、第1のゲート電極を構成する第1の導電膜207、208、209、210と第2の導電膜212、213、214、215は、リンの添加に対してマスクとして機能した。その結果ゲート絶縁膜を介して存在する半導体層の第1のゲート電極の真下の領域には、まったく、あるいは殆どリンが添加されなかった。そして、図2(B)に示すように、リンが添加された低濃度不純物領域217、218、219、220、221、222、223が形成された。

【0056】

次にフォトリソist膜をマスクとして、nチャネル型TF Tを形成する領域をレジストマスク224、225で覆って、pチャネル型TF Tが形成される領域のみに、p型を付与する不純物添加の工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、イオンドープ法でジボラン(B_2H_6)を用いて添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20} \text{atms/cm}^3$ の濃度にボロンを添加した。そして、図2(C)に示すようにボロンが高濃度に添加された領域226、227が形成された。この領域は後にpチャネル型TF Tのソース・ドレイン領域となる。

【0057】

そして、レジストマスク 224、225 を除去した後、第2のゲート電極を形成する工程を行った。ここでは、第2のゲート電極の材料にタンタル (Ta) を用い、100~1000 nm、例えば 200 nm の厚さに形成した。そして、公知の技術によりパターニングを行い、第2のゲート電極 228、229、230、231 が形成された。この時、図 11 で示した第2のゲート電極の長さ L2 は 5 μ m となるようにパターニングした。結果として、第2のゲート電極は、第1のゲート電極の両側にそれぞれ 1.5 μ m の長さでゲート絶縁膜と接する領域が形成された。

【0058】

また、画素マトリクス回路を構成する n チャネル型 TFT のドレイン側に付加容量部が設けられるが、この付加容量部の電極 228 は第2のゲート電極と同時に形成された。

【0059】

そして、第2のゲート電極 225、226、227 をマスクとして、2 回目の n 型を付与する不純物元素を添加する工程を行った。ここでは同様に、フォスフィン (PH₃) を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜 206 を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定した。そして、ここでリンが添加される領域は、n チャネル型 TFT でソース領域 232、242、及びドレイン領域 233、243 として機能させるため、この領域のリンの濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³ とするのが好ましく、ここでは 1×10^{20} atoms/cm³ とした。

【0060】

また、ここで図示はしないが、ソース領域 235、243、及びドレイン領域 236、247 を覆うゲート絶縁膜を除去して、その領域の半導体層を露出させ、直接リンを添加しても良い。この工程を加えると、イオンドーピング法の加速電圧を 10 keV まで下げることができ、また、効率良くリンを添加することができた。

【0061】

また、pチャネル型TFTのソース領域239とドレイン領域240にも同じ濃度でリンが添加されるが、前の工程でその2倍の濃度でボロンが添加されているため、導電型は反転せず、pチャネル型TFTの動作上何ら問題はなかった。

【0062】

それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行うことができた。

【0063】

熱アニール法では、窒素雰囲気中において550℃、2時間の加熱処理をして活性化を行った。本実施例では、第1のゲート電極を構成する第2の導電膜にアルミニウムを用いたが、タンタルで形成された第1の導電膜と第2のゲート電極がアルミニウムを覆って形成されているため、タンタルがブロッキング層として機能して、アルミニウム原子が他の領域に拡散することを防ぐことができた。また、レーザーアニール法では、図12と同じ構成の装置で、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化が行われた。また、レーザーアニール法を実施した後に熱アニール法を実施すると、さらに良い結果が得られた。またこの工程は、イオンドーピングによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできた。

【0064】

以上までの工程で、ゲート電極を第1のゲート電極と、その第1のゲート電極を覆って第2のゲート電極を設けられ、nチャネル型TFTでは、第2のゲート電極の両側にソース領域とドレイン領域が形成された。また、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域と、第2のゲート電極がゲート絶縁膜に接している領域とが、重なって設けられた構造が自己整合的に形成された。一方、pチャネル型TFTでは、ソース領域とドレイン領域の一部

が第2のゲート電極とオーバーラップして形成されているが、実使用上何ら問題はなかった。

【0065】

図2(D)の状態が得られたら、第1の層間絶縁膜249を1000nmの厚さに形成した。第1の層間絶縁膜249としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機樹脂膜、およびそれらの積層膜をもちいることができる。本実施例では、図示しないが、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。

【0066】

第1の層間絶縁膜249はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域にコンタクトホールが形成された。そして、ソース電極250、252、253とドレイン電極251、254が形成した。図示していないが、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の膜を、パターニングして形成した。

【0067】

こうして図2(E)に示すように、基板201上にCMOS回路と、画素マトリクス回路が形成された。また、画素マトリクス回路のnチャネル型TFTのドレイン側には、付加容量部が同時に形成された。以上のようにして、アクティブマトリクス基板が作製された。

【0068】

次に、図3を用いて、以上の工程によって同一の基板に作製されたCMOS回路と、画素マトリクス回路をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。最初に、図2(D)の状態の基板に対して、ソース電極250、252、253とドレイン電極251、254と、第1の層間絶縁膜245を覆ってパッシベーション膜255を形成した。パッシベーション膜255は、窒化珪素膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2の層間絶縁膜256を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することがで

きる。有機性樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0069】

次に、第2の層間絶縁膜256の画素領域の一部に、遮光層257を形成した。遮光層257は金属膜や顔料を含ませた有機樹脂膜で形成すれば良いものである。ここでは、チタンをスパッタ法で形成した。

【0070】

遮光膜257を形成したら、第3の層間絶縁膜258を形成する。この第3の層間絶縁膜258は、第2の層間絶縁膜256と同様に、有機樹脂膜を用いて形成すると良い。そして、第2の層間絶縁膜256と第3の層間絶縁膜258とにドレイン電極254に達するコンタクトホールを形成し、画素電極259を形成した。画素電極259は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成し、画素電極255を形成した。

【0071】

図3（A）の状態が形成されたら、配向膜260を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板271には、透明導電膜272と、配向膜273とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0072】

上記の工程を経て、画素マトリクス回路と、CMOS回路が形成された基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（友に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料274を注入し、封止剤（図示せず）によって完全に封止した。よって図3（B）に示す

アクティブマトリクス型液晶表示装置が完成した。

【0073】

図10は完成したアクティブマトリクス型液晶表示装置の外観を表している。基板1001には画素マトリクス回路1002、信号線駆動回路1003、走査線駆動回路1004、信号処理回路1007が形成され、FPC配線1006が取り付けられている。

【0074】

次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図4と図5を用いて説明する。図4は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板400上に形成された、画素マトリクス回路401と、走査線駆動回路402と、信号線駆動回路403で構成される。これら駆動回路はCMOS回路を基本として構成されている。走査線駆動回路402と、信号線駆動回路403はそれぞれゲート配線502とソース配線503で画素マトリクス回路401に接続されている。

【0075】

図5(A)は画素マトリクス回路401の上面図であり、ほぼ1画素の上面図である。画素マトリクス回路にはnチャネル型TFTが設けられている。ゲート配線502に連続して形成されるゲート電極520は、図示されていないゲート絶縁膜を介してその下の半導体層501と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、画素TFTのドレイン側には、半導体層と、ゲート絶縁膜と、第1及び第2のゲート電極と同じ材料で形成された電極とから、付加容量506が形成されている。そして、付加容量506に接続した容量配線504が、ゲート配線502と平行に設けられている。また、図5(A)で示すA-A'に沿った断面構造は、図2(E)に示す画素マトリクス回路の断面図に対応している。

【0076】

一方、図5(B)に示すCMOS回路では、ゲート配線509から延在するゲート電極521、522が、図示されていないゲート絶縁膜を介してその下

の半導体層 510、511 とそれぞれ交差している。図示はしていないが、同様に n チャンネル型 TFT の半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、n チャンネル型 TFT の半導体層にはソース領域とドレイン領域が形成されている。そして、その位置関係は、B-B' に沿った断面構造は、図 2 (E) に示す CMOS 回路の断面図に対応している。

【0077】

本実施例では、画素 TFT 500 をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0078】

[実施例 2]

本実施例では、実施例 1 において半導体層として用いる結晶性半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平 7-130652 号公報、特開平 8-78329 号公報で開示された技術を用いることが望ましい。

【0079】

ここで、特開平 7-130652 号公報に開示されている技術を本願発明に適用する場合の例を図 6 に示す。まず基板 601 に酸化珪素膜 602 を設け、その上に非晶質珪素膜 603 を形成した。さらに、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層 604 を形成した。(図 6 (A))

【0080】

次に、500℃、1 時間の脱水素工程の後、500～650℃で 4～12 時間、例えば 550℃、8 時間の熱処理を行い、結晶性珪素膜 605 を形成した

。こうして得られた結晶性珪素膜 605 は非常に優れた結晶性を有した。(図 5 (B))

【0081】

また、特開平 8-78329 号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図 7 で説明する。

【0082】

まず、ガラス基板 701 に酸化珪素膜 702 を設け、その上に非晶質珪素膜 703、酸化珪素膜 704 を連続的に形成した。この時、酸化珪素膜 704 の厚さは 150 nm とした。

【0083】

次に酸化珪素膜 604 をパターニングして、選択的に開孔部 605 を形成し、その後、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層 706 が形成され、ニッケル含有層 706 は開孔部 705 の底部のみで非晶質珪素膜 702 と接触した。(図 7 (A))

【0084】

次に、500～650℃で4～24時間、例えば570℃、14時間の熱処理を行い、結晶性珪素膜 707 を形成した。この結晶化の過程では、ニッケルが接した非晶質珪素膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶性珪素膜 707 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0085】

尚、上記 2 つの技術において使用可能な触媒元素は、ニッケル (Ni) の以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、といった元素を用いても良い。

【0086】

以上のような技術を用いて結晶性半導体膜(結晶性珪素膜や結晶性珪素ゲル

マニウム膜などを含む)を形成し、パターニングを行えば、結晶性TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶性半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されてあいた。しかしながら、本願発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

【0087】

〔実施例3〕

本実施例は、実施例1で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶性半導体膜を形成した後で、その触媒元素を結晶性半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0088】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶性半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

【0089】

本実施例の構成について図8を用いて説明する。ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図8(A)では、実施例2で示した結晶化の技術を用いて、下地膜802、結晶性珪素膜803が形成された状態を示している。そして、結晶性珪素膜803の表面にマスク用の酸化珪素膜804が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶性珪素膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶性珪素膜にリンが添加された領域805が設けられた。

【0090】

この状態で、窒素雰囲気中で550～800℃、5～24時間、例えば600℃、12時間の熱処理を行うと、結晶性珪素膜にリンが添加された領域80

5 がゲッターリングサイトとして働き、結晶性珪素膜 803 に残存していた触媒元素はリンが添加された領域 805 に偏析させることができた。

【0091】

そして、マスク用の酸化珪素膜 804 と、リンが添加された領域 805 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶性珪素膜を得ることができた。この結晶性珪素膜はそのまま実施例 1 で示した本願発明の TFT の半導体層として使用することができた。

【0092】

〔実施例 4〕

本実施例では、実施例 1 で示した本願発明の TFT を作製する工程において、半導体層とゲート絶縁膜を形成する他の実施形態を示す。そして、本実施例の構成を図 9 で説明する。

【0093】

ここでは、少なくとも 700～1100℃ 程度の耐熱性を有する基板が必要であり、石英基板 901 が用いられた。そして実施例 2 及び実施例 3 で示した技術を用い、結晶性半導体が形成され、これを TFT の半導体層にするために、島状にパターニングして半導体層 902、903 を形成した。そして、半導体層 902、903 を覆って、ゲート絶縁膜 904 を酸化珪素を主成分とする膜で形成した。本実施例では、プラズマ CVD 法で窒化酸化珪素膜を 70 nm の厚さで形成した。(図 9 (A))

【0094】

そして、ハロゲン（代表的には塩素）と酸素を含む雰囲気中で熱処理を行った。本実施例では、950℃、30分とした。尚、処理温度は 700～1100℃ の範囲で選択すれば良く、処理時間も 10 分から 8 時間の間で選択すれば良かった。(図 9 (B))

【0095】

その結果、本実施例の条件では、半導体層 902、903 とゲート絶縁膜 904 との界面で熱酸化膜が形成され、ゲート絶縁膜 907 が形成された。

【0096】

以上の工程で作製されたゲート絶縁膜 907 は、絶縁耐圧が高く半導体層 905、906 とゲート絶縁膜 907 の界面は非常に良好なものであった。本願発明の T F T の構成を得るためには、以降の工程は実施例 1 に従えば良かった。

【0097】

[実施例 5]

本実施例では、実施例 1 と異なる工程順序で結晶性 T F T を作製する例を図 14 に示した。実施例 1 では、2 回目の n 型を付与する不純物添加の工程の後に保護膜を形成したが、本実施例では、図 14 (B) で示される状態を得た後に、第 1 の層間絶縁膜を形成する工程である。基本的な工程は図 1 に従うものであるもので、相違点のみに着目して説明する。

【0098】

まず、実施例 1 において、図 2 (A) で示される半導体層 203、204、205 は、実施例 2 で示す方法で作製された結晶性珪素膜を用いている。このとき、結晶化の工程で用いられた触媒元素が半導体層中にわずかに残存していた。そして、その後の工程は、実施例 1 に従い図 2 (D) で第 2 のゲート電極までを形成した。

【0099】

図 14 (A) は、第 2 のゲート電極 225、226、227 をマスクとして、2 回目の n 型を付与する不純物元素を添加する工程を示す。ここでも同様に、フォスフィン (PH_3) を用いたイオンドープ法で行った。この工程により、n チャネル型 T F T でソース領域 232、242、及びドレイン領域 233、243 に添加されるリンは高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atms/cm}^3$ であり、同じ濃度でリンが p チャネル型 T F T のソース領域 239 とドレイン領域 240 にも添加された。

【0100】

リンが添加された後、窒素雰囲気中で $500 \sim 800^\circ\text{C}$ 、1～24 時間、例

例えば600℃、12時間の加熱処理の工程を行った。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができた。さらに、前記リンが添加された領域がゲッターリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができた。その結果、チャンネル領域から触媒元素を除去することができた。

【0101】

図14(B)の工程が終了したら、以降の工程は実施例1の工程に従い、図2(E)の状態を形成することにより、アクティブマトリクス基板を作製することができた。

【0102】

[実施例6]

本実施例では、本発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について説明する。

【0103】

このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図12に示す。

【0104】

図13(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006から構成されている。本願発明は音声出力部2002、音声入力部2003、及びアクティブマトリクス基板を備えた表示装置2004に適用することができる。

【0105】

図13(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106から成っている。本願発明は音声入力部2103、及びアクティブマトリクス基板を備えた表示装置2102、受像部2106に適用することができる。

【0106】

図13 (C) はモバイルコンピュータであり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成されている。本願発明は受像部2203、及びアクティブマトリクス基板を備えた表示装置2205に適用することができる。

【0107】

図13 (D) はヘッドマウントディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本願発明は表示装置2302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0108】

図13 (E) はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0109】

図13 (F) は携帯書籍であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506から構成されており、ミニディスク (MD) やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示装置2502、2503に適用することができる。

【0110】

以上の様に、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【発明の効果】

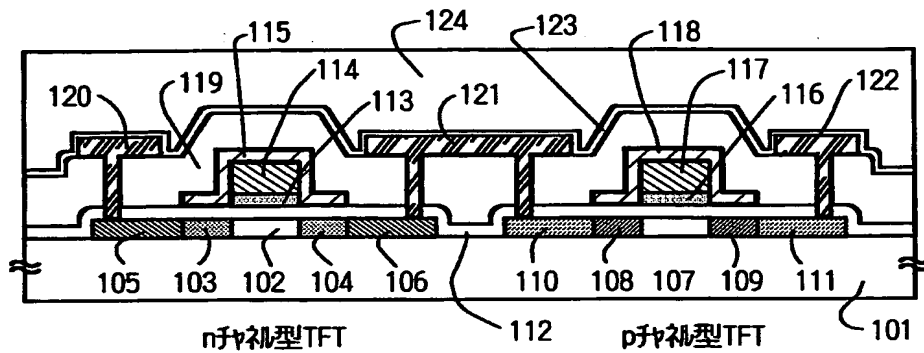
本願発明を実施することで、結晶性TFTの中で特にnチャネル型TFTの信頼性を高めることが可能となった。その結果、結晶性TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素マトリクス回路や、その周辺に設けられる駆動回路の信頼性を高めることができた。

【図面の簡単な説明】

- 【図 1】 本実施形態の T F T の断面図。
- 【図 2】 T F T の作製工程を示す断面図。
- 【図 3】 T F T の作製工程を示す断面図。
- 【図 4】 アクティブマトリクス基板の斜視図。
- 【図 5】 画素マトリクス回路と C M O S 回路の上面図
- 【図 6】 結晶性珪素膜の作製工程を示す図。
- 【図 7】 結晶性珪素膜の作製工程を示す図。
- 【図 8】 結晶性珪素膜の作製工程を示す図。
- 【図 9】 結晶性珪素膜の作製工程を示す図。
- 【図 10】 液晶表示装置の外間を示す図。
- 【図 11】 本発明のゲート電極の構成を示す図。
- 【図 12】 実施例におけるレーザー照射装置を示す図。
- 【図 13】 電子機器の一例を示す図。
- 【図 14】 T F T の作製工程を示す断面図。

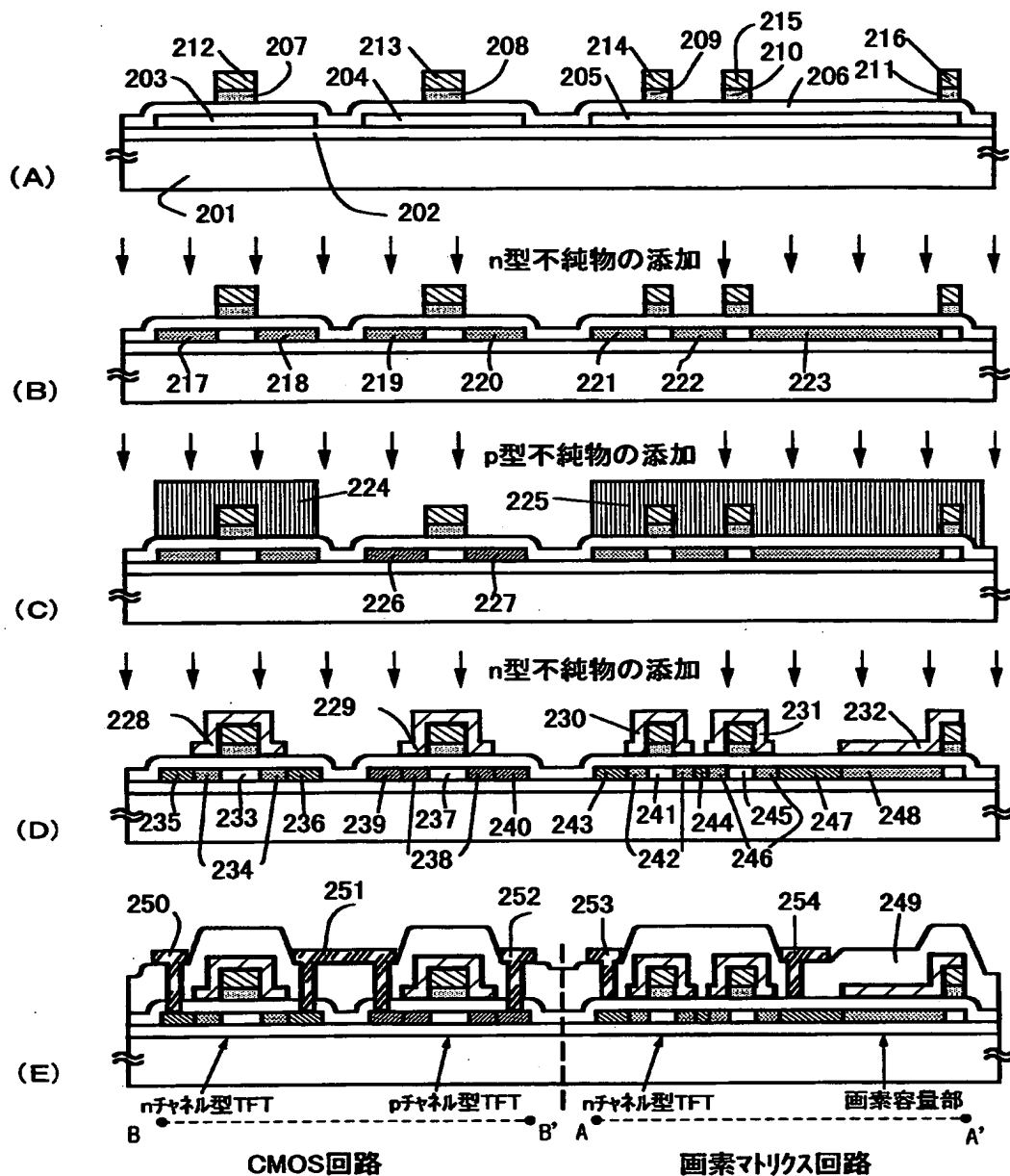
【書類名】 図面

【図 1】



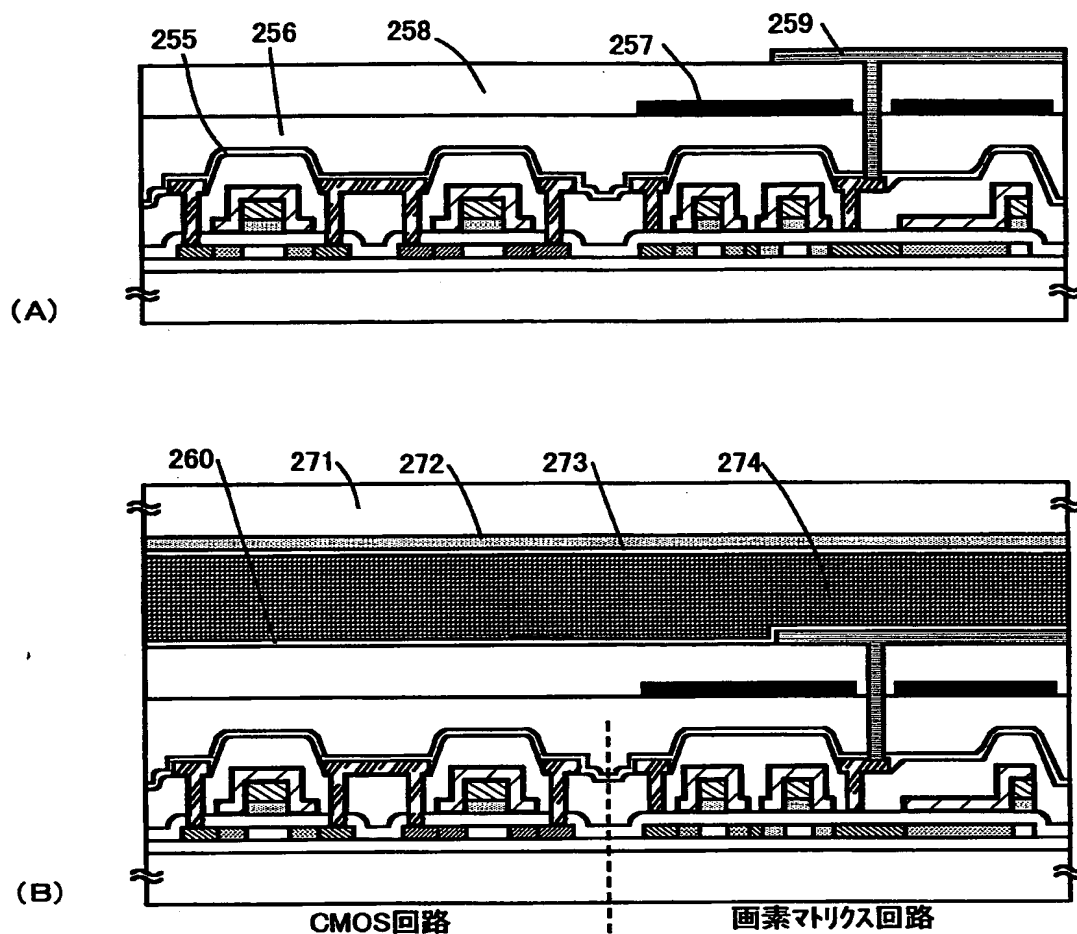
101:基板、102、107:チャンネル領域、103、104:第1の不純物領域(n型)、
 105:ソース領域(n型)、106:ドレイン領域(n型)、108、109:第1の不純物領域(p型)、
 110:ソース領域(p型)、111:ドレイン領域(p型)、112:ゲート絶縁膜、113、116:第1の導電層、
 114、117:第2の導電層、115、118:第2のゲート電極、119:第1の層間絶縁膜、
 120、122:ソース電極、121:ドレイン電極、123:パッシベーション膜、124:第2の層間絶縁膜

【図 2】



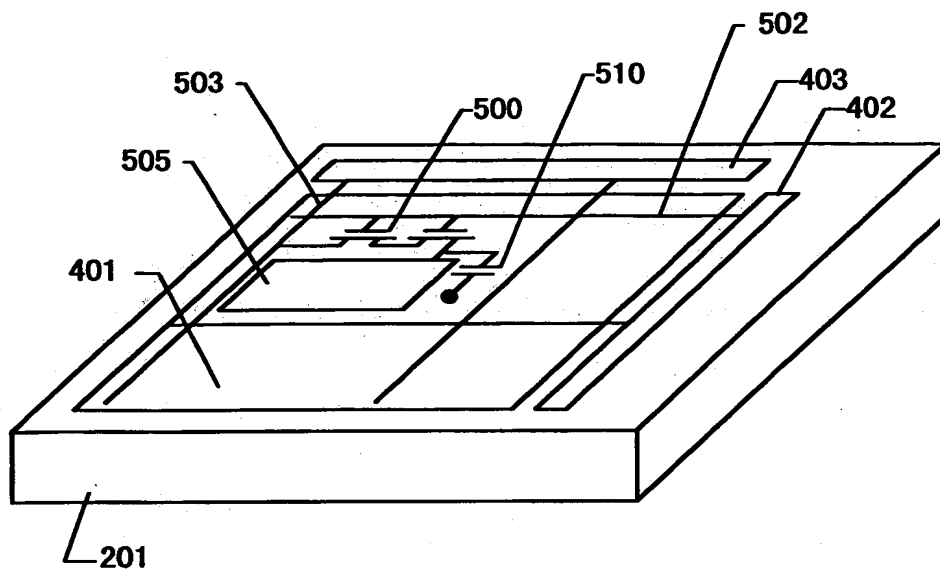
201:基板、202:下地膜、203、204、205:半導体膜、206:ゲート絶縁膜、
 207、208、209、210:第1の導電膜、211:配線電極、212、213、214、215:第2の導電膜、
 216:第2の容量配線、224、225:レジシマスク、228、229、230、231:第2のゲート電極、
 232:付加容量電極、233、227、241、242:チャネル領域、
 234、238、242、246:第1の不純物領域(n型)、235、243:ソース領域(n型)、
 236、247:ドレイン領域(n型)、238:第1の不純物領域(p型)、239:ソース領域(p型)、
 240:ドレイン領域(p型)、248:低濃度不純物領域、249:第1の層間膜、
 250、252、253:ソース電極、251、254:ドレイン電極

【図 3】



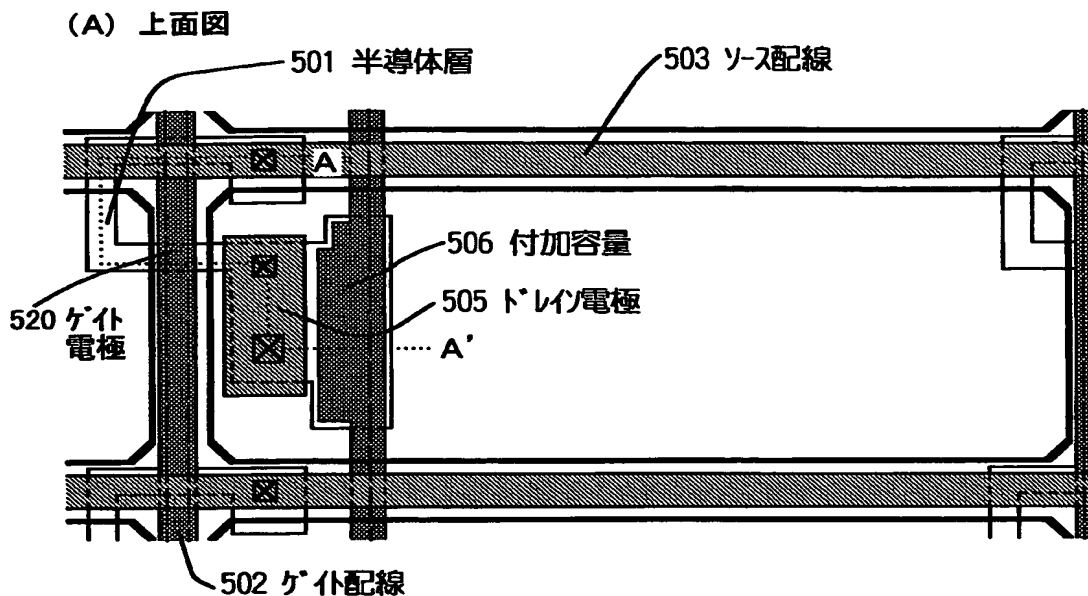
255:パッシベーション膜、256:第2の層間絶縁膜、257:遮光膜、
 258:第3の層間絶縁膜、259、273:画素電極、260、273:配向膜、
 271:対向基板、274:液晶材料

【図4】

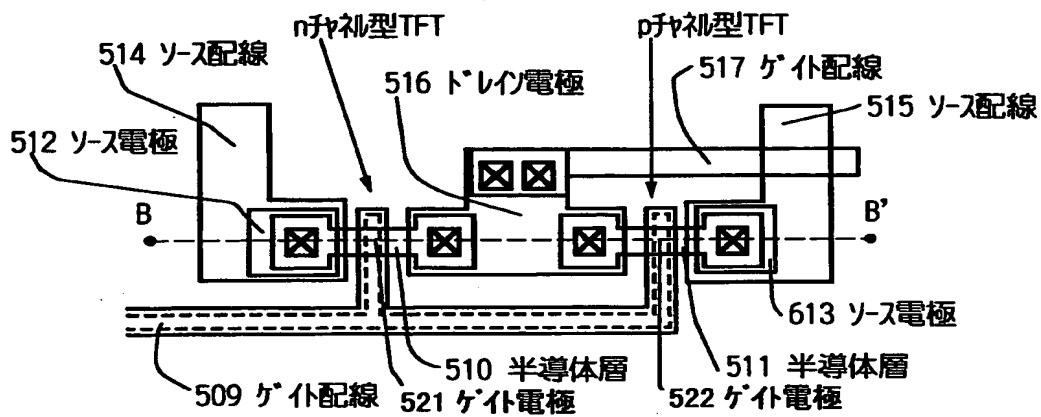


- 201: 基板
 401: 画素マトリクス回路
 402: 走査線駆動回路、403: 信号線駆動回路
 500: 画素TFT
 502: 走査線 503: 信号線 505: 画素電極 510: 付加容量

【図 5】

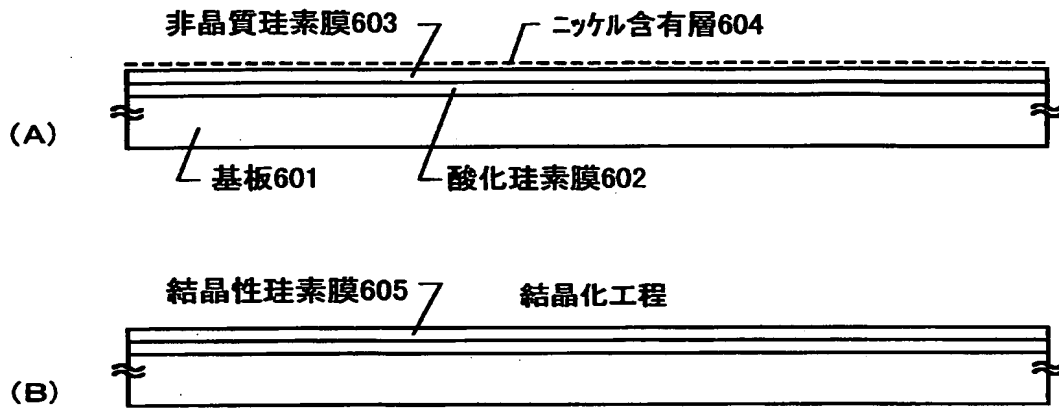


(A) 画素マトリクス回路上面図

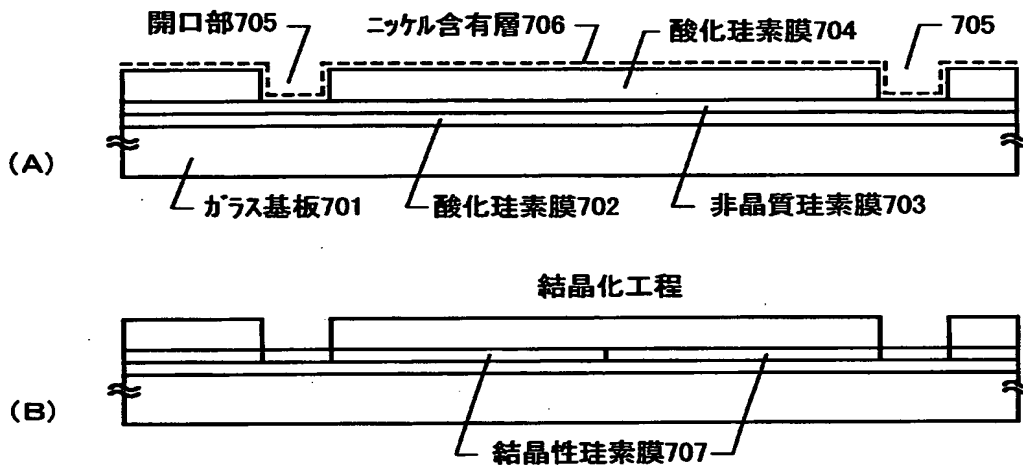


(B) CMOS回路上面図

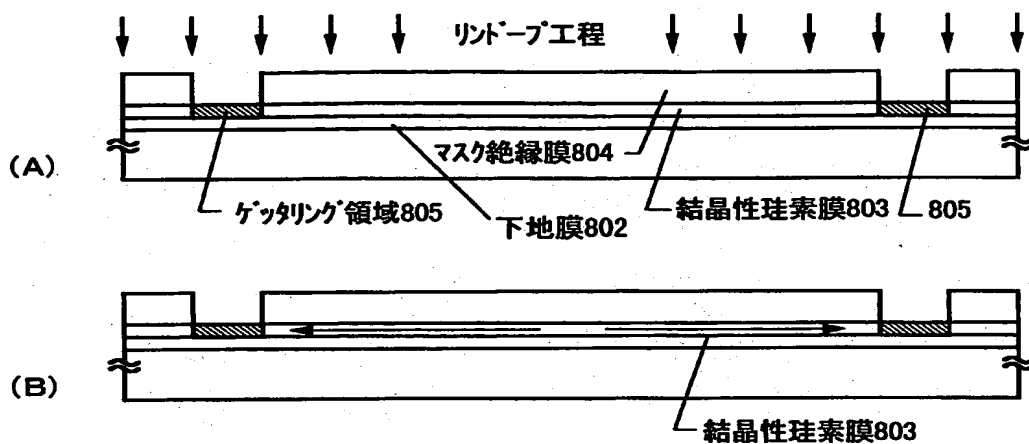
【図 6】



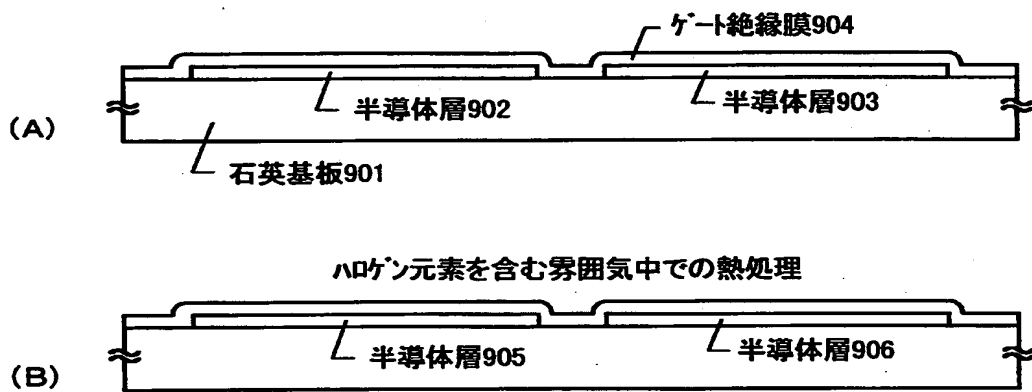
【図 7】



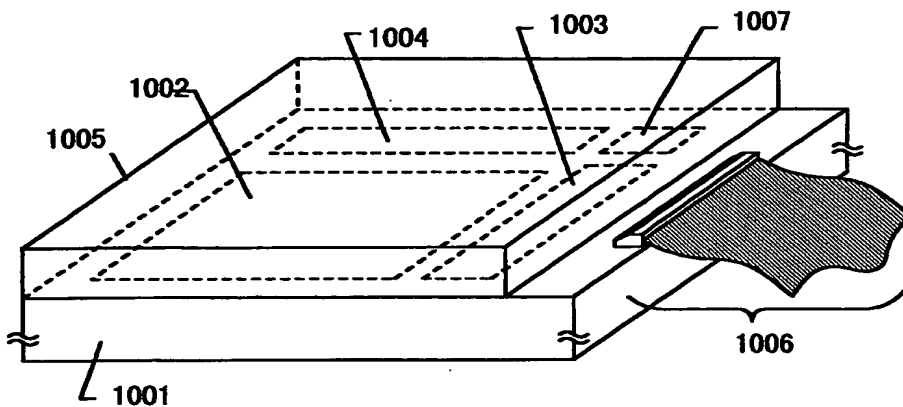
【図 8】



【図9】

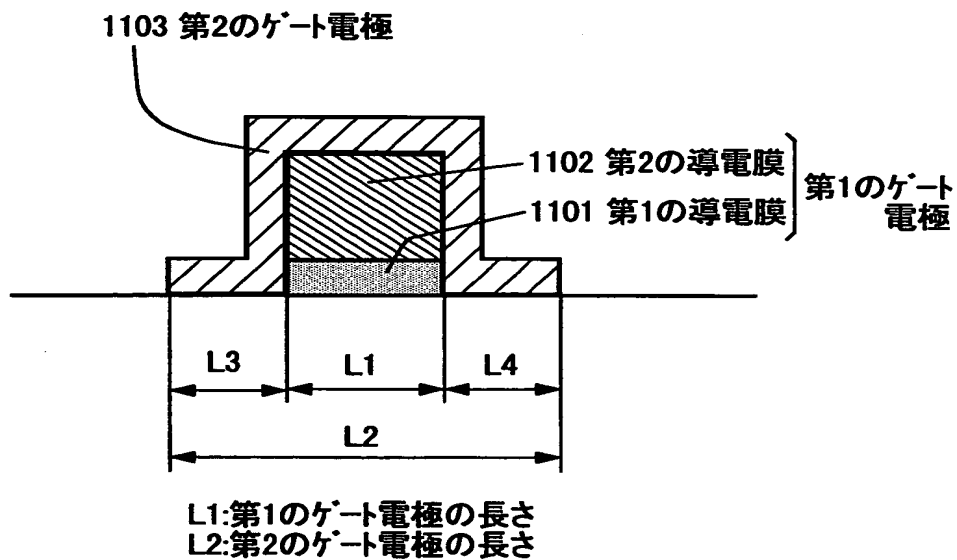


【図10】

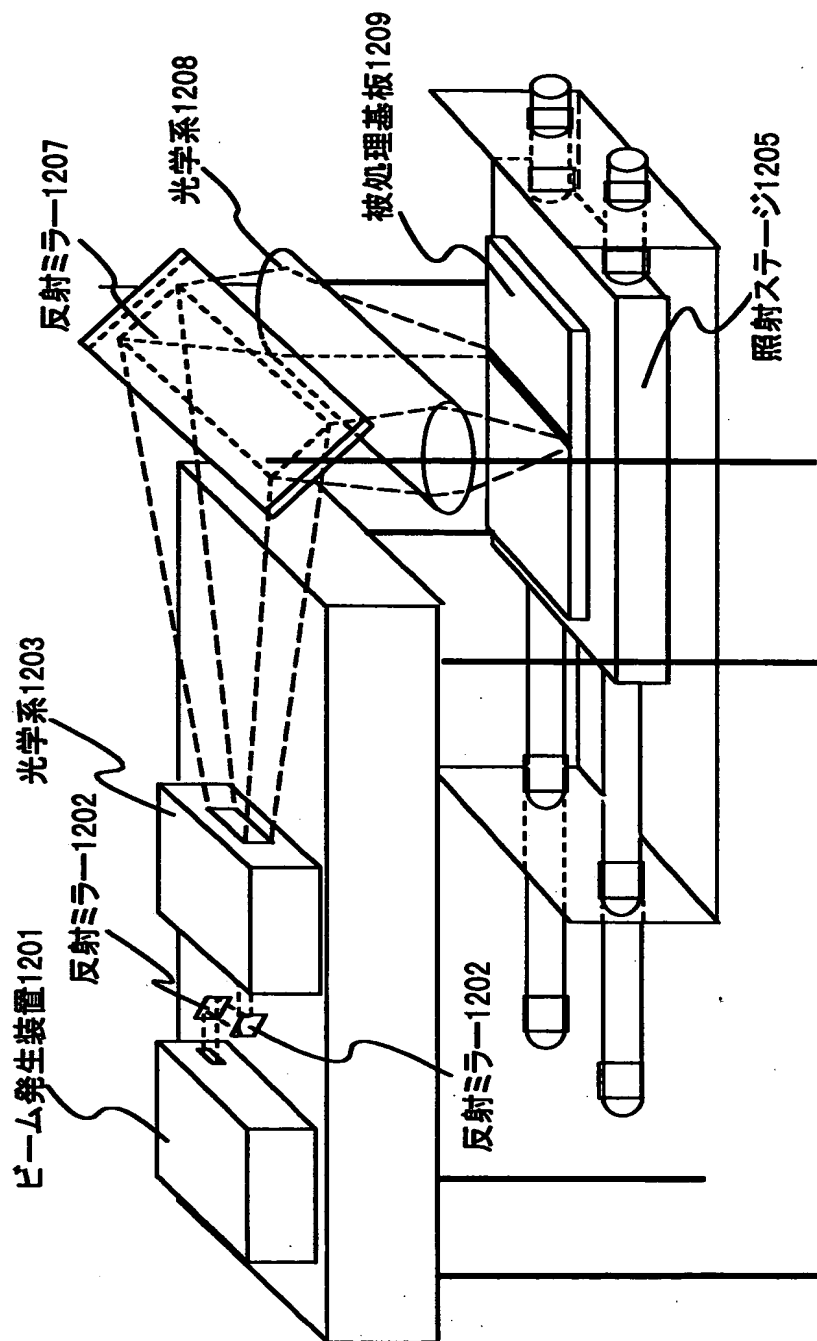


1001: 絶縁表面を有する基板 1002: 画素マトリクス回路
1003: ソースドライバ回路 1004: ゲートドライバ回路
1005: 対向基板 1006: FPC 1007: 信号処理回路

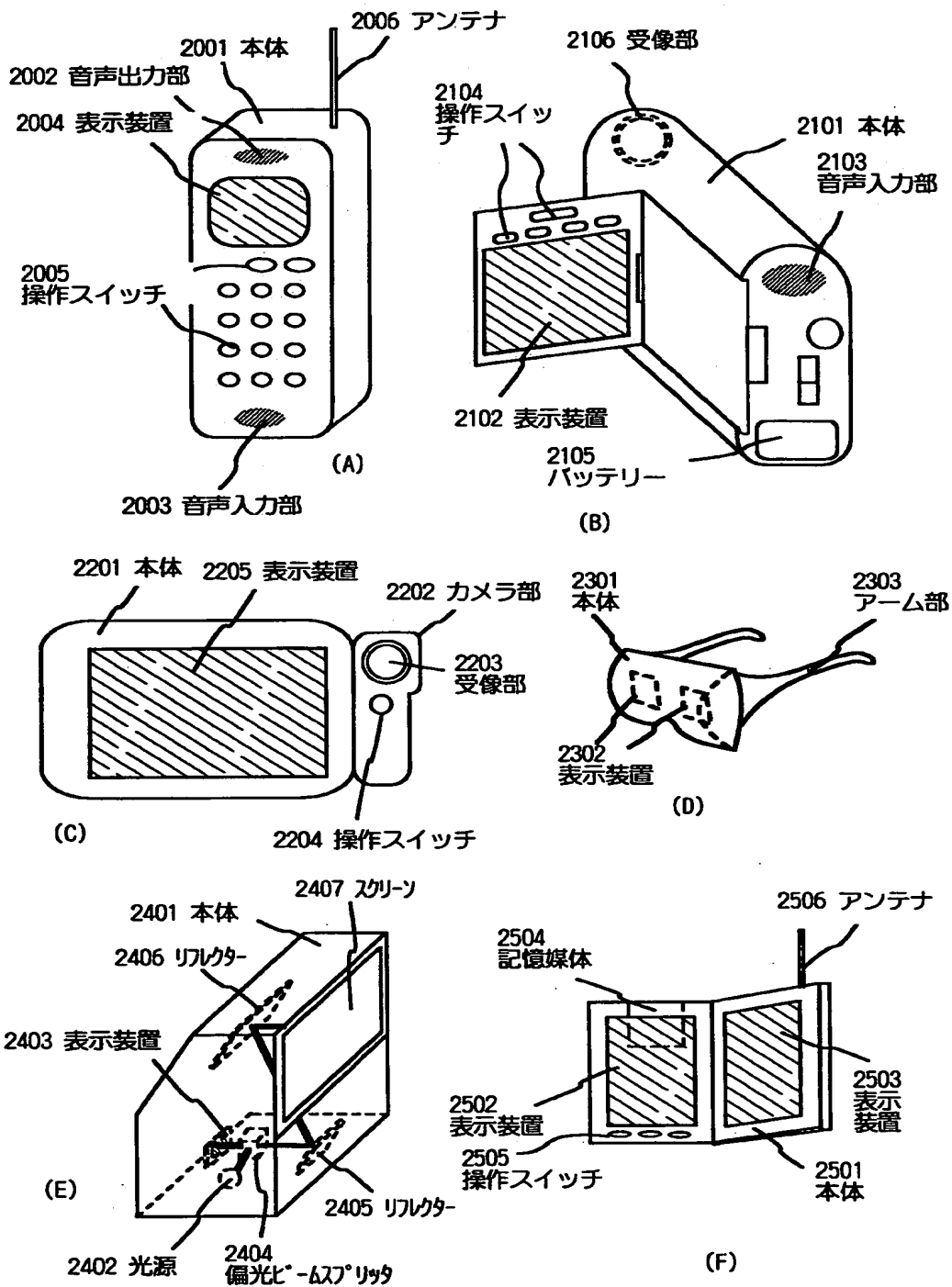
【図 11】



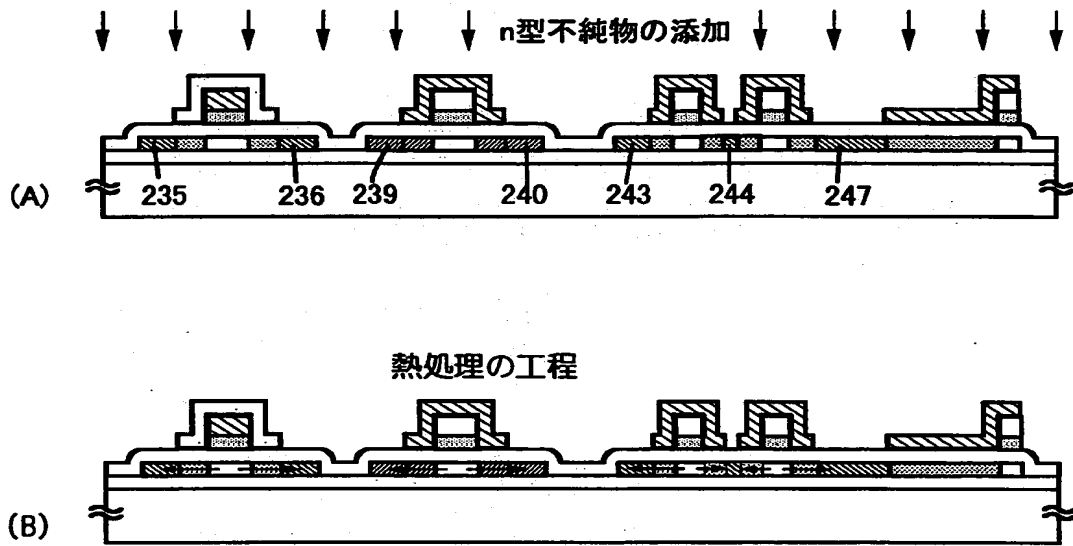
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 結晶性TFTで高い信頼性を達成するために、ゲート電極とLDD領域とをオーバーラップさせた新しいゲートオーバーラップ構造の結晶性TFTを提供することを目的とする。

【解決手段】 結晶性TFTのゲート電極を、第1のゲート電極と、前記第1のゲート電極を覆って、該第1のゲート電極とゲート絶縁膜に密接させて第2のゲート電極が形成する。LDD領域は前記第1のゲート電極をマスクとしてイオンドーピング法で形成され、ソース・ドレイン領域は前記第2のゲート電極をマスクとして形成される。その結果、LDD領域を第2のゲート電極にオーバーラップさせて形成することができる。

【選択図】 図1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 398 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所